

Cu/Low-k 構造デバイスのCMP 後洗浄プロセス開発

小寺 雅子* 西岡 由紀子* 永野 秀和*
井上 辰雄* 徳重 克彦*

Development of a Post-CMP Process for Cu/Low-k Devices

by Masako KODERA, Yukiko NISHIOKA, Hidekazu NAGANO, Tatsuo INOUE, & Katsuhiko TOKUSHIGE

A post-CMP (Chemical Mechanical Planarization) cleaning process for Cu/Low-k damascene devices has been developed which solves the problem of residues on Low-k films. Different cleaning solutions were used along with slurry to determine the optimal cleaning performance for Low-k (SiOC and spin-on MSQ), TEOS and Cu films. By this process, the line-to-line leakage currents were found to be sufficiently low for the production of Cu/Low-k devices, suggesting a possibility that it could be used for cleaning Cu/Low-k LSI devices.

Keywords: CMP, Copper (Cu), Low-k, Cleaning, Hydrophobic, LSI, Leakage current, Defect, Water mark

1. ま え が き

超LSIデバイスにおける微細化，高速化の要求に伴い，配線間容量の少ないLow-k膜（低誘電率膜）をILD（Inter Layer Dielectric）膜に，また低抵抗のCuを配線に採用する，Cu/Low-k構造が要求されている¹⁾。Cu/Low-k構造では，LSIデバイスプロセスでは歴史の浅いCu配線に加え新材料のLow-k膜を採用するために，CMPや後洗浄プロセスでも様々な困難な課題が発生している。Cu/Low-k構造デバイスの配線プロセスの概略を図1にデバイス断面の模式図で示す。Low-k膜にはCVD（Chemical Vapor Deposition）法で成膜するSiOC膜²⁾や塗布法により成膜する膜^{3~6)}があるが，まずこれらLow-k膜を成膜する。これらのLow-k膜中では，SiO₂膜の-Si-O-Si-結合の一部が-Si-CH₃-結合に置き換わり，誘電率を下げる^{7, 8)}。次に配線溝を形成し [図1 (a)]，バリアメタル（Barrier）とCuをデバイス表面全体に成膜して [図1 (b)]，配線溝以外の部分のバリアメタルとCu

とをCMP法によって取り除く。CMPの目的は二つあり，第一は高低差のあるデバイス表面に成膜されたCu膜を配線溝の上面に合わせて平坦にすること，第二はTaやTa₂Nなどの安定な金属が採用されている¹⁾バリアメタルを除去することである。Cu膜用のスラリー（Slurry，研磨剤）でバリアメタルも同時に研磨することは，非常に難しいため，通常はCu研磨を目的とする第1ステップと [図1 (c)]，バリアメタル研磨を目的とする第2ス

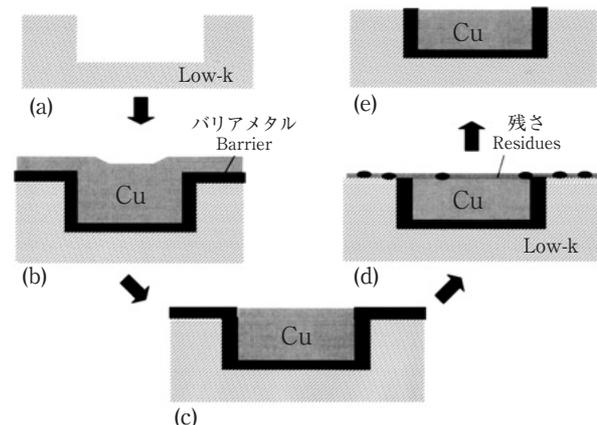


図1 Cu/Low-k構造のプロセス概要
Fig. 1 Process flow of Cu/Low-k structure

* 精密・電子事業本部 事業統括 開発センター 第一プロセス開発室 開発第一部

電子情報通信学会 論文誌C 2005年3月号に掲載されたものを一部加筆，修正した。

テップ [図1 (d)] の、二段階CMPが使用される。第2ステップでは残留しているCuとバリアメタル、Low-k膜を同時に研磨する。更にCMP後のデバイス表面を洗浄する必要がある [図1 (e)]。CMP後には研磨時の残さである残留Cuや研磨粒子などのスラリー成分がデバイス表面に存在してDefect (欠陥) となり、これらが配線間ショートなどの電気特性の劣化を招くからである。Low-k膜はCH₃基により表面が疎水性になるので、洗浄及び乾燥時に液膜が不連続の水滴になり、異物等が各水滴の気液界面に集まってウェーハ上に取り残されてしま^{10, 13)}、Defectが増えるという問題がある^{9~12, 14)}。このような液滴が残留、乾燥してできた染み状のDefectは一般に「ウォーターマーク (Water mark)」と呼ばれる。本論文ではLow-k膜の洗浄性能を、2種類のスラリー及び多種の洗浄液を用いて評価し最適プロセスを提案するとともに、そのプロセスを実際のCu/Low-k構造LSIデバイス製造に適用して、電気特性を調査した。

2. 実験方法

2-1 Cu CMP後洗浄後のウェーハ評価方法

まずCMP後洗浄液の性能を、8インチSiウェーハ上に成膜した各種の平坦膜を用いて調べた。準備した膜は、代表的なLow-k膜としてSiOC膜、またメチルシロキサ

表1 スラリーの成分
Table 1 Components of slurry

	pH	成分 Components
スラリー1 Slurry 1	アルカリ性 Alkaline	SiO ₂ 粒子, 有機酸A, 過酸化水素水, 界面活性剤A, 純水 SiO ₂ abrasives, organic acid A, H ₂ O ₂ , surfactant A, DIW
スラリー2 Slurry 2	酸性 Acid	SiO ₂ 粒子, 有機酸B, 過酸化水素水, 界面活性剤B, 純水 SiO ₂ abrasives, organic acid B, H ₂ O ₂ , surfactant B, DIW

表2 洗浄液の成分と特性
Table 2 Characteristics of cleaning chemicals

	pH	成分 Components
Chemical-1	酸性 Acid	有機酸C, キレート剤A, 界面活性剤C, 純水 Organic acid C, chelating agent A, surfactant C, DIW
Chemical-1'	酸性 Acid	有機酸C, キレート剤A, 界面活性剤C (増量), 純水 Organic acid C, chelating agent A, increased surfactant C, DIW
Chemical-2	酸性 Acid	有機酸D, 界面活性剤D, 純水 Organic acid D, surfactant D, DIW

ンを原料としたSpin-on MSQ膜、更に従来ILD膜として使用されていたTEOS [Si(OC₂H₅)₄]を原料としたSiO₂膜及びCu膜である。これらの膜のCMP及び後洗浄はすべて当社のF-REX200で実施した。各スラリー及び洗浄液の組成を表1, 2に示す。これらの洗浄液における界面活性剤の役割は、Low-k膜の疎水基 (CH₃基など) に吸着して膜表面を親水性に変化させ、洗浄性能を向上させることにある。ここに示した洗浄液のほか、アルカリ性を示す洗浄液を含め20種以上の液の評価を実施したが、本論文では代表的な例だけを示す。Defect数は欠陥検査装置 (AIT-II, KLA-Tencor) で、残留メタル汚染はX線分析装置 (TXRF300, リガク) で評価した。更にスラリー1とChemical-1での処理後のLow-k膜の化学結合状態をFT-IR (Fourier Transform-Infrared spectroscopy, ATI Mattson, Infinity) で測定した。SiOC膜上での接触角は接触角計 (協和界面化学株, CA-X) で測定した。

2-2 Cu/Low-k配線構造の電気特性評価

SiOC膜の場合には、デバイスのILD構造として次の3種類を用いた。(a) 膜厚700 nmのSiOC膜だけ (SiOC膜のDirect CMP), (b) 最上層にSiCN膜100 nm付き, (c) 最上層にSiC膜100 nm付き。またSpin-on MSQ膜の場合は、2-1項の実験で使用したPorous MSQ膜200 nmの上にDense MSQ膜100 nmをたい積する積層構造で、MSQ膜を直接CMPした。これらの構造で線間リーク電流値の測定を行った。配線間にCMP残さ等が存在するとリーク電流値の上昇となって現れるので、この測定によりCMP後洗浄後のデバイス表面の清浄度をモニタすることができる。

3. 結果と考察

3-1 Cu CMP後のDefect及びCu汚染測定結果

欠陥検査装置でDefectを測定した結果を図2に示す。SiOC膜についてはほぼすべての条件でTEOS膜上よりもDefectが多く、Low-k膜の洗浄が困難であることを示している。SiOC膜上のDefectの増加はDIW洗浄の場合に特に顕著であった。Spin-on MSQ膜の場合を見ると、DIW洗浄後のDefectですらTEOS膜の3倍程度であり、Defectの大きな増加はみられなかった。同サンプルについてCu残留汚染測定を行うと、SiOC膜上の場合には洗浄前に10¹³ atoms/cm²以上あった残留Cu汚染が洗浄液によって10¹¹ atoms/cm²台まで除去されていた。一方Spin-on MSQ膜の場合には、残留Cu濃度は10¹¹~10¹³ atoms/cm²と比較的多めであった。

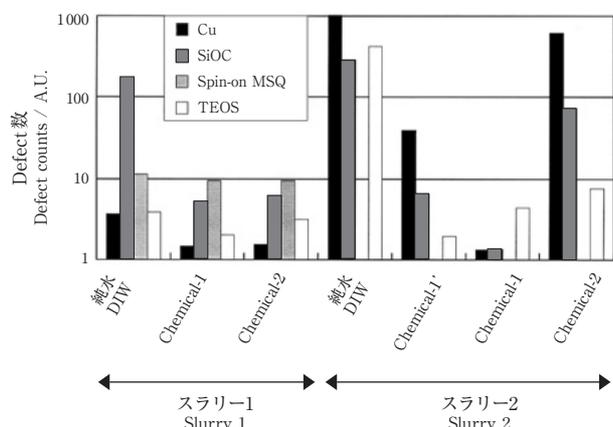


図2 Cu膜, SiOC膜, Spin-on MSQ膜, TEOS膜上のDefect (欠陥)
Fig. 2 Defect counts on Cu, SiOC, spin-on MSQ, and TEOS films

表3 洗浄後のLow-k膜表面状態

Table 3 Surface conditions of low-k films after chemical cleaning

Cleaning 洗浄液	表面状態* Surface Condition*		
	SiOC		Spin-on MSQ
	スラリー1 Slurry1	スラリー2 Slurry2	スラリー1 Slurry1
純水 DIW	疎水性 Hydrophobic	疎水性 Hydrophobic	親水性 Hydrophilic
Chemical-1	親水性 Hydrophilic	親水性 Hydrophilic	親水性 Hydrophilic
Chemical-2	疎水性 Hydrophobic	疎水性 Hydrophobic	疎水性 Hydrophobic

*PVAブラシ洗浄後
After PVA brush scrubbing

3-2 洗浄後のLow-k膜状態

表3に洗浄後のLow-k膜状態を示す。リファレンス(比較対象の元となるサンプル)のTEOS膜はすべての条件で親水性(Hydrophilic)であったので、表への記載は省略する。SiOC膜の場合、表面状態はスラリーではなく洗浄条件で決まっていた。一方Spin-on MSQ膜の場合はDIW洗浄だけでも親水性であった。図2で示したDIW洗浄後のDefect数が、SiOC膜に比べて1桁以上少なかったのは、Spin-on MSQ表面が親水性になっていたことが一因と考えられる。Chemical-1で洗浄したSpin-on MSQ膜はやはり親水性であったが、Chemical-2での洗浄後は疎水性であった。したがってLow-k膜種やChemicalによって、表面状態の違いが現れることが分かった。

SiOC膜とSpin-on MSQ膜のFT-IR測定結果からは、

Spin-on MSQ膜よりもSiOC膜でメチル(CH₃)基起因スペクトル¹⁶⁾がより強いピークを示し、これらがSiOC膜中に多く存在することが明らかになった。SiOC膜とSpin-on MSQ膜の膜厚が同じであるにもかかわらず、このようなCH₃基起因のピークがSiOC膜で強く現れていることは、SiOC膜にSpin-on MSQ膜よりも多くのCH₃基が含まれ、そのために表面が強い疎水性を示すことを明らかにしている。念のためCMP前のLow-k膜でDIWを用いて接触角を測定すると、ウェーハ上8箇所測定値の平均でSiOC膜上では98.4°、Spin-on MSQ膜上では59.0°であった。すなわちChemicalによる表面状態の違いは、Low-k膜のCH₃基などの疎水基に付着するChemical中の界面活性剤の量や状態が異なるためと考えられる。例えば表4に示すように成膜後のSiOC膜上にChemical-1を滴下すると64°だがChemical-2を滴下した時では29.4°であり、Chemical-2で接触角が大幅に低下している。このような接触角の大幅な変化は界面活性剤の増量効果で説明できる。一方、各洗浄液に10分間浸漬したSiOC膜をDIWで3分間リンスし、いったん乾燥させた後にDIWを滴下して接触角を測定すると、Chemical-1に浸漬した場合にはDIW浸漬と同じ84°になったが、Chemical-2の場合にはDIW浸漬より大きい値88.7°が得られた。すなわち、Chemical-1の界面活性剤はDIWリンスでほぼ完全に除去されたが、Chemical-2の界面活性剤は完全には除去されず、接触角が大きくなったと考えられる。

3-3 電気特性評価結果

3-1項で良好な洗浄結果が得られたスラリー1とChemical-1の組み合わせで、デバイスの処理を行った。まずCu/SiOC構造のデバイスにおける、配線幅0.22 μm、配線間0.22 μm、配線長3 cmのくし型パターンでの配線間リーク電流測定結果を図3に示す。保護膜なしでSiOC膜を直接CMPする構造(a)でリーク電流値がより低いことが分かった。構造(a)の場合、より微細で

表4 SiOC膜上での接触角

Table 4 Contact angles on SiOC films

	各洗浄液における 接触角 Contact angles with each chemical	各洗浄液に浸漬後の純水 における接触角 Contact angles with DIW after dipping in each chemical
Chemical-1	64°	84°
Chemical-2	29.4°	88.7°
純水 DIW	98.4°	84°

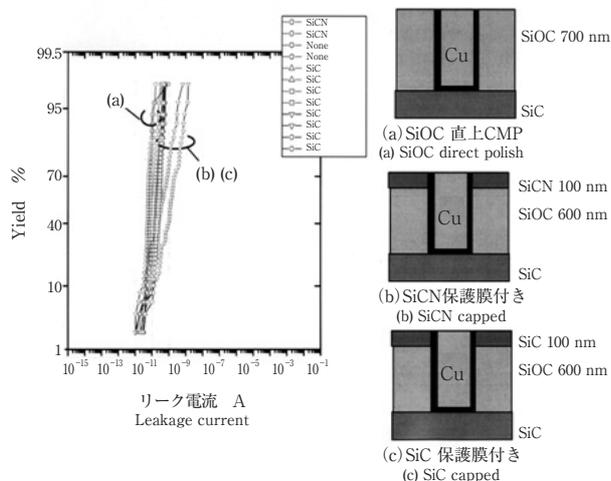


図3 Cu/SiOC 単層配線構造での配線間リーク電流

Fig. 3 Leakage current for the Cu/SiOC single damascene structure

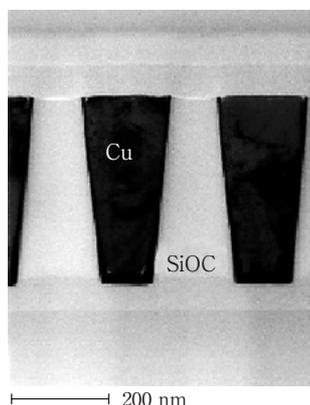


図4 Cu/SiOC 構造のダイレクトCMP後の断面TEM像

Fig. 4 Cross sectional TEM image of the Cu/SiOC structure after SiOC direct CMP

長配線パターン（配線幅・配線間とも $0.20 \mu\text{m}$ 、配線長 3 m ）でも $10^{-10} \sim 10^{-9} \text{ A/m}$ であった。SiOC膜を直接CMPしたデバイスの断面TEM（Transmission Electron Microscope）画像を図4に示す。SiOC膜上に残さは見られずCMP後の形状も良好であることが分かる。

Cu/Spin-on MSQ構造デバイスでの、配線幅と配線間寸法が $0.20 \mu\text{m}$ 、配線長 3 cm のパターンにおける配線間リーク電流値をDIW洗浄とChemical-1洗浄とで比較した結果においても、2条件とも94%以上のチップでリーク電流値は 10^{-11} A/m 台と十分に低いことが確認された。また図5に示す表面SEM（Scanning Electron

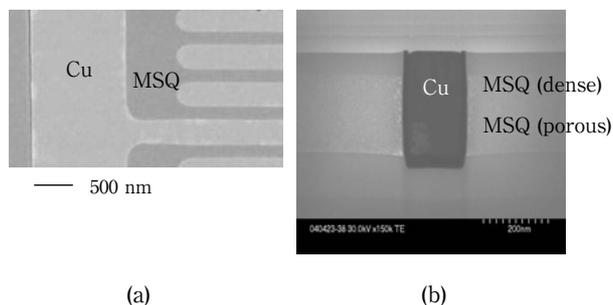


図5 Spin-on MSQ構造のCMP後デバイス像
(a) 表面SEM像、(b) 断面TEM像

Fig. 5 (a) Top view of SEM and (b) cross sectional view of TEM for the Spin-on MSQ/Cu structure after CMP

Microscope) 像、断面TEM像から、Defectや表面荒れなどは認められず清浄なデバイス表面が得られていることが分かった。

4. あとがき

Cu/Low-k構造デバイスのCMPプロセスに、最適なスラリー及び洗浄液を用いることにより、Low-k膜を直接CMPするプロセスでも、DefectはTEOS膜と同等程度まで減少し、残留Cu汚染も $3 \times 10^{13} \text{ atoms/cm}^2$ 以下に抑制できることを明らかにした。これらのプロセスをLSI製造に適用すると、SiOC膜、Spin-on MSQ膜の2種類のLow-k膜を直接CMPする場合でも $10^{-10} \sim 10^{-9} \text{ A/m}$ 以下の十分に低い配線間リーク電流値が得られること、またCMP後の膜表面が清浄であることを示した。更にSiOC膜とSpin-on MSQ膜とで洗浄性能や洗浄後の膜状態が異なることを示し、これが界面活性剤のLow-k膜への吸着の寄与によると推定できた。

5. 謝辞

本研究を進めるにあたり、Cu/Low-k構造の電気特性評価をしてくださった東京エレクトロンAT(株)、またスラリー、洗浄液を提供して頂いたメーカ及びLow-k膜を提供して頂いたメーカに感謝の意を表す。

参考文献

- 1) K. Higashi, et al, Proc. 2002 International Interconnect Tech. Conf., pp.15-17, San Francisco, USA, June, (2002).
- 2) M. Fayolle, et al, Proc. 2002 International Interconnect Tech. Conf., pp.39-41, San Francisco, USA, June, (2002).
- 3) Y. Furukawa, Et al, Proc. 2002 International Interconnect Tech. Conf., pp.45-47, San Francisco, USA, June, (2002).

- 4) S. Maitrejean, et al., Proc. of 2002 International Interconnect Tech. Conf., p206-208, San Francisco, USA, June, (2002).
- 5) K. Mitsuoka, et al., Extend Abst. of Advance Metallization Conf. 2003: Asian Session, pp.16-17, Tokyo, Japan, Sept. (2003).
- 6) C. Y. Li, et al., Extend Abst. of Advance Metallization Conf. 2003: Asian Session, pp.20-21, Tokyo, Japan, Sept. (2003).
- 7) 監修/吉川公磨, “次世代ULSI多層配線の新材料・プロセス技術”, 第2刷, 株式会社技術情報協会, 東京, (2001).
- 8) L. C. Lu, et al., Proc. 2002 International Interconnect Tech. Conf., pp.63-65, San Francisco, USA, June, (2002).
- 9) Y. Nishioka, et al., Extend Abst. of Advance Metallization Conf. 2003: Asian Session, pp.84-85, Tokyo, Japan, Sept. (2003).
- 10) B. Small, 2nd Int'l Surface Cleaning Workshop, Northeastern University, Boston, USA, Nov. (2003).
- 11) M. Ravkin, et al., Proc. VLSI/ULSI Multilevel Interconnection Conf., pp.262-266, Marina del Ray, USA, Sept. (2003).
- 12) L. L. Chen, et al., Proc. VLSI/ULSI Multilevel Interconnection Conference, pp.36-42, Marina del Ray, USA, Sept. 2003.
- 13) M. Kodera et al., 2nd Int'l Surface Cleaning Workshop, Northeastern University, Boston, USA, Nov. (2003).
- 14) Y. Nishioka et al., Advance Metallization Conf. 2003, Conf. Proc. AMC XIX (c) 2004 Mat. Res. Soc., pp.645-649, (2003).
- 15) 小寺雅子他, 電気化学及び工業物理化学, (株)電気化学会, vol.72, No.8, pp.569-576, (2004).
- 16) 堀口 博, “赤外吸光図説総覧”, 縮刷版第8刷, 三共出版株式会社, 東京, (2001).

