

# 高抵抗基板上へのダマシン配線用Cuめっき装置開発

神田 裕之\* 嶺 潤子\* 山本 暁\*  
 倉科 敬一\* 早房 敬祐\*\* 須崎 明\*  
 中田 勉\*

## Development of Cu Damascene Electroplating Machines for Interconnects on Highly Resistive Substrates

by Hiroyuki KANDA, Junko MINE, Satoru YAMAMOTO, Keiichi KURASHINA, Keisuke HAYABUSA, Akira SUSAKI, & Tsutomu NAKADA

A next-generation interconnect technique for Cu damascene electroplating machines has been developed. This leading-edge technique, which features Cu plating on thin Ru seeds, reduces the terminal effect and enhances uniformity by the placement of a highly resistive element between anodes and cathodes. This technique allows favorable film thickness distribution and film quality, and filling performance.

**Keywords:** Terminal effect, Cu electroplating, High resistive substrate, Porous resistive element, Ru seed, Uniformity, Filling performance, Surface roughness, Resistivity

### 1. はじめに

半導体集積回路の高性能化及び高集積化が進み、半導体デバイス（素子）の配線構造において、最小配線幅が100 nm以下のデバイスが300 mm径のウェーハにより生産されている。配線材料にはCu（銅）が適用され、成膜方法は図1に示すような電気めっき処理が用いられている。ウェーハ外周部からシード（導電薄膜）を通し

て電流を流しウェーハ全面にCuを成膜する。デバイス内配線は、①絶縁膜をエッチングし配線溝を形成、②溝を覆うようスパッタリング（PVD：Physical vapor deposition）等の方法でTaN，Ta等の拡散防止膜（バリア）とCu等のシードを成膜、③その上にシードを給電部として電気めっきによりCuを成膜、④上部の余分なCuをCMP（Chemical mechanical polishing）で研磨、という工程で形成する技術が採用されている。この製法をダマシンプロセスと呼びその模式図を図2に示す。

International Technology Roadmap for Semiconductor (ITRS) によると、微細化は2010年に1層目の配線幅で45 nm，2016年には22 nm程度になり、また配線抵抗を

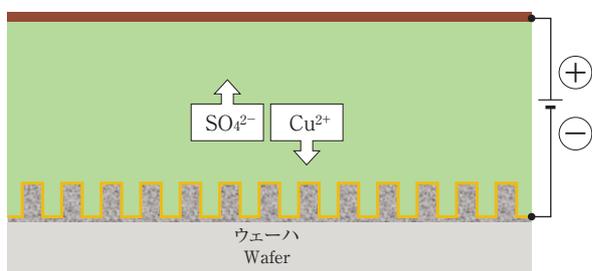


図1 電気めっき処理  
 Fig. 1 Electroplating on wafer

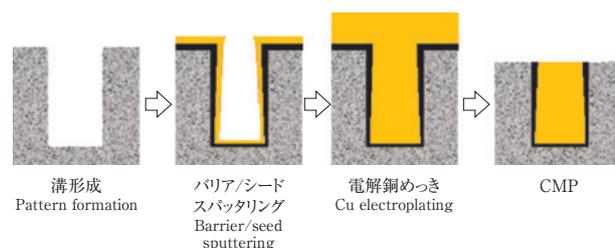


図2 ダマシンプロセス  
 Fig. 2 Cu damascene process

\* 精密・電子事業カンパニー 技術統括部 装置技術開発グループ

\*\* (株)荏原総合研究所 材料研究室

できる限り小さくするため、配線内のバリアメタル膜厚は2 nm程度になり、それに伴い配線内シード膜厚も同程度に薄くなると予想している<sup>1)</sup>。

本報告では、配線幅22 nm世代で予想されている高抵抗シード膜に対しCu膜を成膜するめっき技術を開発し、高抵抗基板としてRuシード膜についてその効果を検証したので内容について紹介する<sup>3)</sup>。

## 2. Cuめっき技術の課題

微細化に伴う電解銅めっき技術の課題である埋設性の現状を図3の模式図に示す。バリア膜としてPVDによるTa, TaNといった高融点金属を成膜し、その上にシード膜としてPVDによるCuを溝内部に対し段差被覆性（ステップカバレッジ）が良好で連続膜になるよう成膜する。電気めっきにより、溝加工のない場所（フィールド）からシード膜を経由して、溝内部に電気を流しながらCuめっきを成膜する。配線幅22 nmになると、PVDによ

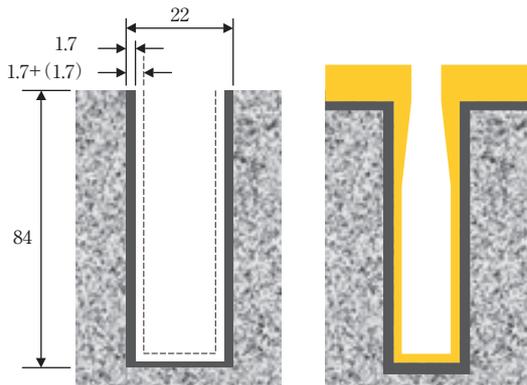


図3 微細化による課題

Fig. 3 Issue of narrower interconnects

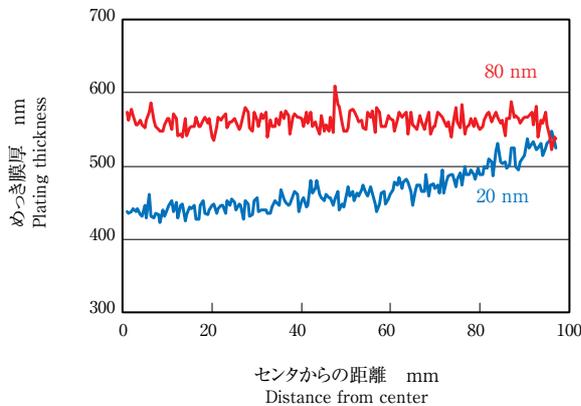


図4 Cuシード薄膜化の課題

Fig. 4 Issue of thinner Cu seed layer

り配線内のバリア膜厚がITRSで要求されている厚さになるよう成膜した場合、溝内部のステップカバレッジを考慮すると、フィールド部は溝内部と比較して厚い成膜となる。その影響で、溝開口部にオーバハンクが発生し、そのオーバハンクにより、めっきに必要な溝開口幅が確保できなくなる。電気めっきをした場合、内部がCuで充填される前に、開口部が閉じてしまいボイド（配線不良）の形成という問題が発生する。

シード薄膜化に伴うウェーハ面内均一性の課題について次に紹介する。シード膜厚を80 nmから20 nmにしたシード上に従来のめっき装置によりCu成膜した場合のめっきウェーハ面内均一性を図4に示す。Cu膜厚はシード膜の厚みも含んでいる。シード膜厚が80 nmと20 nmの場合を比較すると、20 nmの場合シート抵抗が大きくなる影響で、ウェーハセンタ部のめっきが薄くなるという問題が発生する。これをターミナルエフェクトと呼び、シード膜のシート抵抗が高くなり、ウェーハが大口径になればなるほどその影響が顕著になる。

また、シード薄膜化は埋設性とトレードオフの関係がある。Cuシード膜が薄くなり過ぎると溝内のカバレッジ（被覆性）が不十分になるため、めっき液によりCuシードが溶解され、不連続になり、不連続な部分では電気が流れにくくなりボイドが発生するという問題も懸念される。

22 nm世代では、埋設性を確保するためにCuシード膜のカバレッジ改良が必要であり、既存技術改善や化学気相成長法（CVD：Chemical vapor deposition）といった新しい成膜法の導入及びRuシード膜といった新しい材料の導入等が検討されている。いずれの場合においても、フィールド部のシード膜厚は薄くなることから、基板のシート抵抗が高抵抗になる。

## 3. 含浸めっき開発<sup>2)</sup>

シード薄膜化に伴うターミナルエフェクトに対応するために、これまで当社では含浸めっき開発を進めてきた。図5に含浸めっきセルの模式図を示す。ウェーハめっき処理面を上方に向くように配置し、その面に対向するようにアノードを配置する。ウェーハ外周部はドライシールで密閉し、更に外周から金属接点によりシード膜と接続することで、電気回路を構成し電気めっきを行う。含浸めっきの特徴として、ウェーハとアノードの中間に含浸材と呼ぶポーラスセラミックスを挿入する。この含浸材のもつラビリンス構造によりウェーハとアノード間の抵抗を高くすることができる。この抵抗によりシー

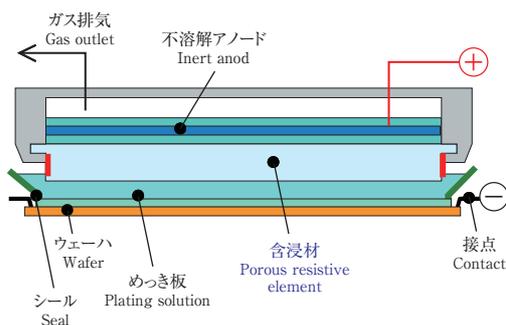


図5 含浸めっきセル  
Fig. 5 Plating cell with porous resistive element

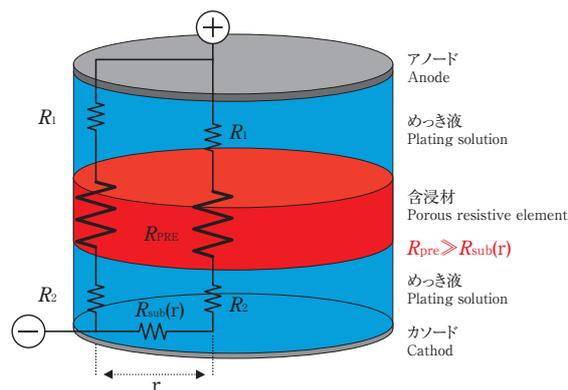


図7 ターミナルエフェクトの緩和  
Fig. 7 Terminal-effect reduction



図6 含浸材  
Fig. 6 Porous resistive element

ド膜のシート抵抗の影響を緩和できる。図6に含浸材の写真を示すが、外周部が絶縁された円板上のポラスセラミックスであり、その気孔率の大きさにより抵抗を制御する。

図7に含浸材によるターミナルエフェクト緩和の原理を示す。めっき液の抵抗を $R_1$ 、 $R_2$ 、ウエーハ上におけるセンタ部とエッジ部でその距離を $r$ とし、抵抗差を $R_{sub}(r)$ 及び含浸材の抵抗を $R_{PRE}$ とした場合、ウエーハエッジ部を通る電流経路の抵抗和及びウエーハセンタ部を通る電流経路の抵抗和は次のように表される。

- ・ウエーハエッジ部を通る電流経路：

$$R_{edge} = R_1 + R_2 + R_{PRE}$$

- ・ウエーハセンタ部を通る電流経路：

$$R_{center} = R_1 + R_2 + R_{sub}(r) + R_{PRE}$$

$R_1, R_2$  : めっき液抵抗

$R_{PRE}$  : 含浸材抵抗

$R_{sub}(r)$  : ウエーハセンタ部とエッジ部での抵抗差

$R_{PRE} \gg R_{sub}(r)$  になるような抵抗率の含浸材を選択することで、基板のシート抵抗の影響を緩和することが可能となる。

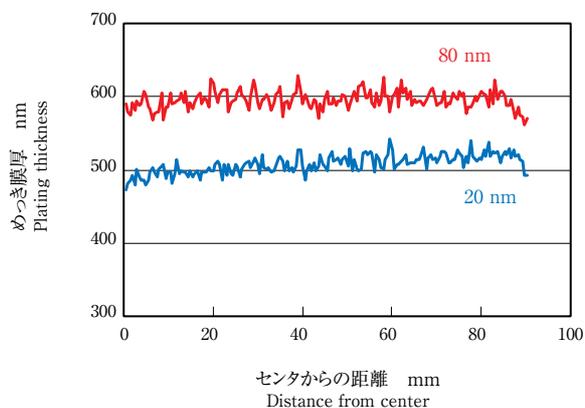


図8 Cuシード薄膜化に対する含浸材の効果  
Fig. 8 Effect of porous resistive element on thinner Cu seed layer

図8に含浸材を挿入しためっきセルを使用して、Cuシード膜厚が80 nmと20 nmのウエーハ上へめっきした場合のめっきウエーハ面内均一性を示す。Cu膜厚はシード膜の厚みも含んでいる。ウエーハセンタ部とエッジ部でめっき膜厚の差が小さくなるような均一性が得られており、含浸材をウエーハとアノード間に挿入することにより、図4でみられたターミナルエフェクトの影響が緩和されたことが分かる。

配線幅22 nm世代で予想されるシード膜のシート抵抗は高くなり、 $R_{sub}(r)$ が非常に大きくなるため、これまで開発した含浸材では、 $R_{PRE} \gg R_{sub}(r)$ が成立しなくなると考えられており、今回、 $R_{PRE} \gg R_{sub}(r)$ が成立するような抵抗率の含浸材が必要とされるため、必要とされる抵抗率の算出並びに含浸材を含めた装置開発を新たに行った。

#### 4. 高抵抗基板への対応

被めっき面であるバリア/シード膜のシート抵抗が、今後どれだけ高抵抗化するかを想定するために、Cuシード膜の薄膜化及び新材料であるRuシード膜を適用した場合について、バリア/シード膜厚とシート抵抗の関係を検証した。

配線幅が22 nmになった場合、PVD-Cuシード膜によるオーバハングとシード溶解の影響により、Cuめっき内部へのボイド発生が懸念されるため、その解決手段の一つとしてCVD等によりRuシード膜を成膜する方法が提案されている。図9に模式図を示す。Ru膜は、Cuと密着性がよい、CVD等で成膜されるため溝内部のカバレッジが良い、めっき液に溶解しない、バルク比抵抗がCuの約4倍、TaNの1/4であり、Cuシードより比抵抗が高いものの、バリア金属よりも低く配線抵抗への影響が少ないといった利点がある。ただし、Ru表面の酸化膜を除去するために前処理が必要になり、Cuと比較すると比抵抗が高く、そして溝内部と同程度にフィールド部の膜厚が薄くなるためシート抵抗がこれまでのCuシード膜より高くなり、ターミナルエフェクトがより顕著に

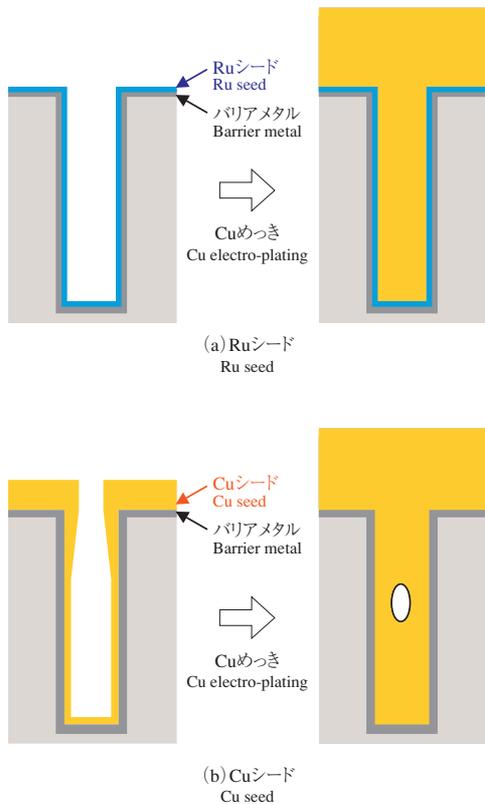


図9 RuシードとCuシードの比較

Fig. 9 Comparison between Ru and Cu seed layers

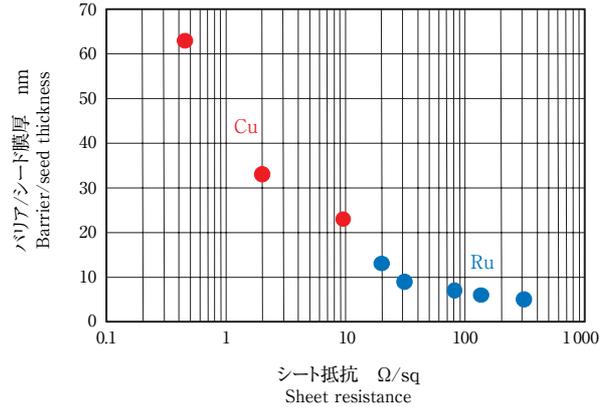


図10 シート抵抗とバリア/シード膜厚の関係

Fig. 10 Relation between sheet resistance and barrier/seed layer

なるという課題がある。

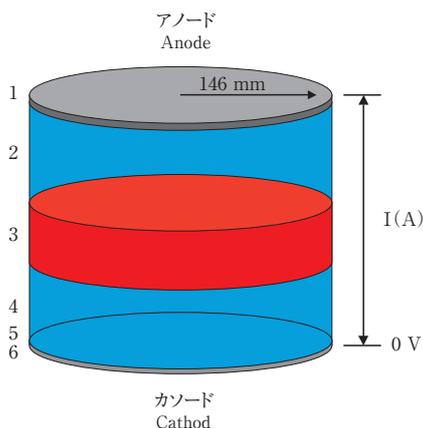
Cuシード膜の薄膜化及びRuシード膜を適用した場合のシート抵抗を考察するため、基板のシート抵抗とバリア/シード膜厚の相関を調べた結果を図10に示す。Cuシードの場合、従来のPVDで成膜すると、バリア/シード膜厚が下限は20～30 nmでシート抵抗が10 Ω/sq程度である。CVD等により成膜したRuシード膜の場合、配線幅が22 nm以下になるときに予想されているフィールド部のバリア/シード膜厚は6 nm程度であり、そのときのシート抵抗は250 Ω/sqとなり、Cuシードと比較して25倍以上になる。

そこで、配線幅22 nmで想定される膜厚のRuシード膜に対して、均一なめっき処理が可能である装置を開発するにあたって、高抵抗基板シート抵抗の目標値を200～400 Ω/sqに設定した。

#### 5. 含浸材抵抗率の算出

##### 5-1 計算モデル

高抵抗基板に必要な含浸材の抵抗率を算出するために、300 mm高抵抗基板へめっきした場合の、膜厚シミュレーションを行った。計算のモデルを図11に示す。半径146 mmの円筒座標系モデルを作り境界要素法により解析を行った。ウェーハ(カソード)を0 A、アノードにかかる電流をI (A)に設定し、0.1秒後のウェーハ上の電流密度を算出し、その電流密度を2価のCuイオンの電気当量からCuめっき膜厚に換算する。次に、ウェーハ面内の平均膜厚で50 nmになるまで積算し、半径カソード上のCu膜厚分布として出力した。条件として、基板のシート抵抗250 Ω/sq, Cu比抵抗2.2 Ω/sq, めっき液は標準的なダマシン硫酸銅めっき用の電気伝導度、めっ



1. アノード分極特性  
Anode polarization
2. めっき液電気伝導度  
Plating-solution conductivity
3. 高抵抗体電気伝導度：めっき液電気伝導度/含浸材抵抗率  
Porous resistive element conductivity :  
Plating-solution conductivity/Porous resistive element resistivity
4. めっき液電気伝導度  
Plating-solution conductivity
5. カソード分極特性  
Cathode polarization
6. 基板電気伝導度  
Substrate conductivity

図11 計算モデル  
Fig. 11 Calculation model

き液とアノード/カソードの分極抵抗は実験から求めたCu膜とめっき液の分極特性を用いた。パラメータとして含浸材の抵抗率を1~1000にしたときのめっき膜厚分布及びその標準偏差について比較した。

なお、抵抗率が1の場合は、含浸材のないめっき液だけの状態である。

### 5-2 計算結果

計算結果を図12に示す。抵抗率が1の場合、めっき膜はウェーハセンタまで成膜せず、中心から80 mmより外側で成膜し、ウェーハのエッジ部で最大膜厚になる。抵抗率を大きくしたとき抵抗率50を超えるとウェーハセンタまでめっき成膜可能となり、抵抗率500, 1000で中心まで確実に成膜する。図13のように抵抗率による膜厚分布の標準偏差の変化は、抵抗率が大きくなると指数的に減衰し、抵抗率500以上ではほぼ一定の値を示す。この計算結果から、基板抵抗250 Ω/sqの基板へ均一性よく電気めっきするために抵抗率が500以上必要であることが分かった。

ただし、抵抗率を必要以上に大きくすると電源電圧も高くしなくてはならなくなり、消費電力も多くなるため、抵抗率の上限を700に設定し、開発目標を500から700に設定した。

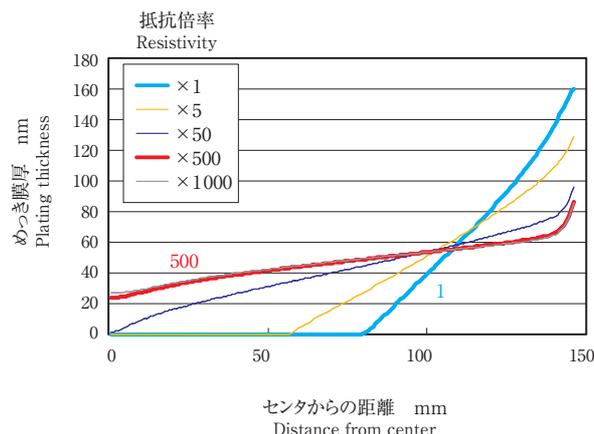


図12 計算結果  
Fig. 12 Calculation result

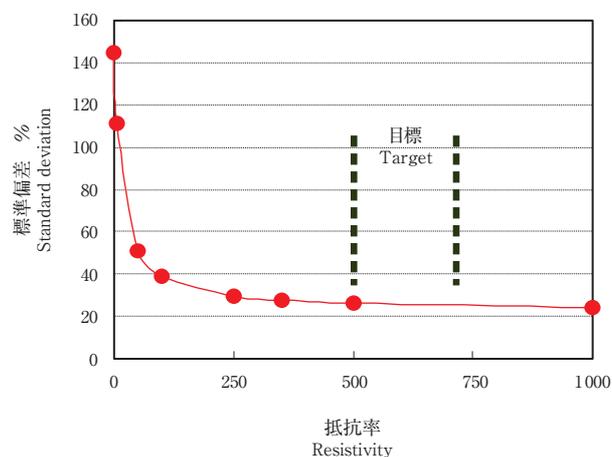


図13 標準偏差の変化  
Fig. 13 Changes in standards deviation

## 6. 実験内容

まず、計算結果について検証するため、含浸材を使わない抵抗率1の場合について、シート抵抗250 Ω/sqのRuシード/バリア膜上に平均膜厚50 nmのめっき膜を成膜し、その膜厚プロファイルについて含浸材を使用した場合と比較した。

次に、抵抗率700の含浸材を製作し、シート抵抗約250 Ω/sqのRuシード/バリアが成膜されている300 mmウェーハ基板及びシート抵抗約0.6 Ω/sqのCuシード/バリアが成膜されている300 mmウェーハ上へCuめっきを行い、Cu膜の膜厚均一性及び膜質の均一性を比較した。めっき液は、硫酸銅めっき液ベースで微細配線用の銅、硫酸、塩素並びに3種類の添加剤を最適な濃度に

混合したものを使用した。Cuめっき成膜は、ウェーハ面内の平均膜厚として50 nm、650 nmの2水準を狙い実施した。めっきされる範囲は、ウェーハセンタから148 mmまでである。めっき膜厚の指標は、センタから145 mmまでの面内を円周で9分割計361点で測定した値の平均及び標準偏差である。また、ターミナルエフェクトの影響を比較するために、ウェーハノッチ部に対し、水平(X)、垂直方向(Y)のプロファイルを測定した。膜厚測定は、シート抵抗計(VR-120日立国際電気社製)により得られたシート抵抗値をCuめっき膜の比抵抗2.2で膜厚に換算する、あるいは非接触膜厚測定機(Impulseフィリップス社製)から直接膜厚を測定することにより評価した。

膜質については、ウェーハ表面5点をSEM観察及びAFMによる表面粗さRaについて測定し評価した。

最終的に120 nmの配線幅で深さ500 nmのパターンにて埋設性の評価を行った。

## 7. 実験結果及び考察

### 7-1 計算結果との比較

抵抗率1(含浸材をアノードとカソード間に入れない)状態でRuシード上へ50 nmめっきをした結果を図14の◇で示す。中心から100 mm以内の範囲にめっきが成膜

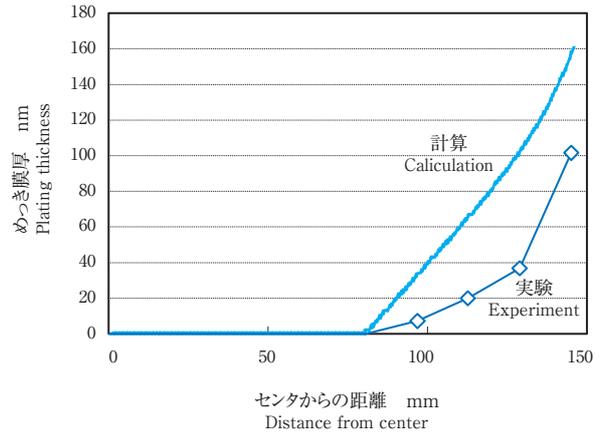


図14 実験と計算結果の比較(抵抗率:1)  
Fig. 14 Comparison between experiment and calculation (Resistivity: 1)

されなかった。この結果を計算結果と比較すると、絶対値にずれはあるものの、ウェーハに対する被めっき面の位置が一致した。そのことから、今回の計算結果は妥当であると判断した。また、実際には抵抗率700のものを製作し以下の実験に使用した。

### 7-2 50 nmめっき膜厚分布

Ruシード膜及びCuシード膜に平均膜厚が50 nmになるようにめっきした場合の膜厚分布の結果を図15(a)

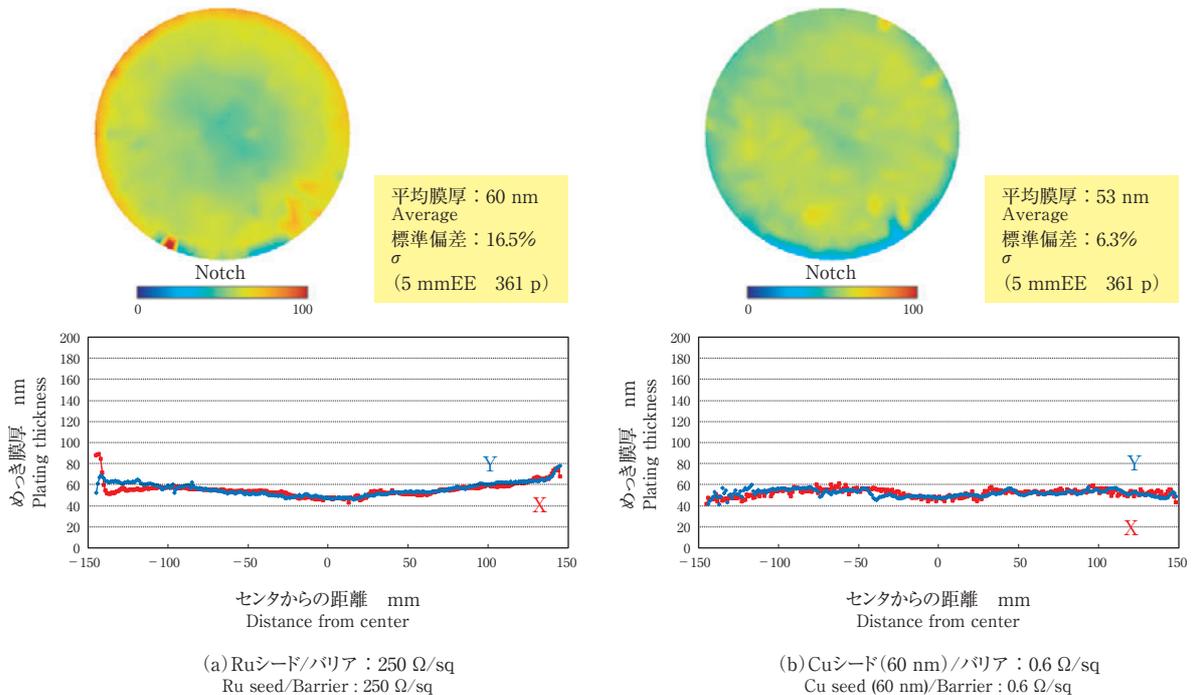


図15 異なるシート抵抗基板上でのめっき均一性比較 (1) 抵抗率:700 めっき膜厚:50 nm  
Fig. 15 Plating uniformities on substrates of different sheet resistances (1) Resistivity: 700 Plating thickness: 50 nm

(b) に示す。

Ru シード膜上へめっきした結果、平均膜厚 60 nm 標準偏差が 16.5%、Cu シード膜上へめっきした結果、平均膜厚 53 nm 標準偏差 6.3% であった。なお、この評価では Cu シード膜分の膜厚は差し引いている。標準偏差が Ru シード膜上へめっきした場合の方が Cu シードに対して大きい理由として、ウェーハ外周部のめっき膜厚が厚いためと考えられる。プロファイルと比較すると、シート抵抗 250  $\Omega$ /sq である高抵抗の Ru シード膜上にめっきした場合、ウェーハセンタ部でめっき膜がやや薄いものの、Cu シード膜の場合とほぼ同等の性能が得られたと考えられる。なお、ノッチ側の膜厚分布のばらつき及びウェーハ外周部で膜厚分布でのばらつきはめっき液を導入する際の液流れの乱れ及び含浸材自体の気孔率の不均一性によるものと考えており更なる改善を行っている。また、平均膜厚が 50 nm に対して異なっているが、これはめっき時間を最適化することにより、容易に補正できると考えている。

### 7-3 650 nm めっき膜厚分布

Ru シード膜及び Cu シード膜にウェーハ面内の平均膜厚が 650 nm になるようにめっきしたときの膜厚分布の結果を図 16 (a) (b) に示す。

Ru シード膜上へめっきした結果、平均膜厚 629 nm 標準偏差が 3.9%、Cu シード膜上へめっきした結果、平均膜厚 666 nm 標準偏差 2.5% である。なお、Cu シード膜の膜厚は差し引いている。標準偏差が Ru シード膜へめっきした場合の方がわずかに大きい理由として、前述しためっき初期のウェーハ外周部のめっき膜厚が厚い影響が厚膜めっきをしたときに残っているためと考えられる。プロファイルと比較すると、シート抵抗 250  $\Omega$ /sq という高抵抗の Ru シード膜上及びシート抵抗 0.6  $\Omega$ /sq Cu シード膜上へめっきした場合に同等の性能が得られている。平均膜厚が 650 nm に対して異なる理由は、めっき膜厚が 150 nm までは、めっき電解条件の制御を電圧と時間で行っているため、基板シート抵抗のばらつき及び基板と金属接点部の接触抵抗ばらつき、ウェーハロットにより、一定電圧において流れる電流がずれた影響であると考えられる。また、これもめっき時間を最適化することにより容易に補正できる。

### 7-4 50 nm めっきの表面状態

Ru シード膜及び Cu シード膜に平均膜厚が 50 nm になるようにめっきした場合の SEM 観察及び表面粗さ Ra の結果を図 17 (a) (b) に示す。

Ru シード膜上へめっきした場合、SEM 観察の結果か

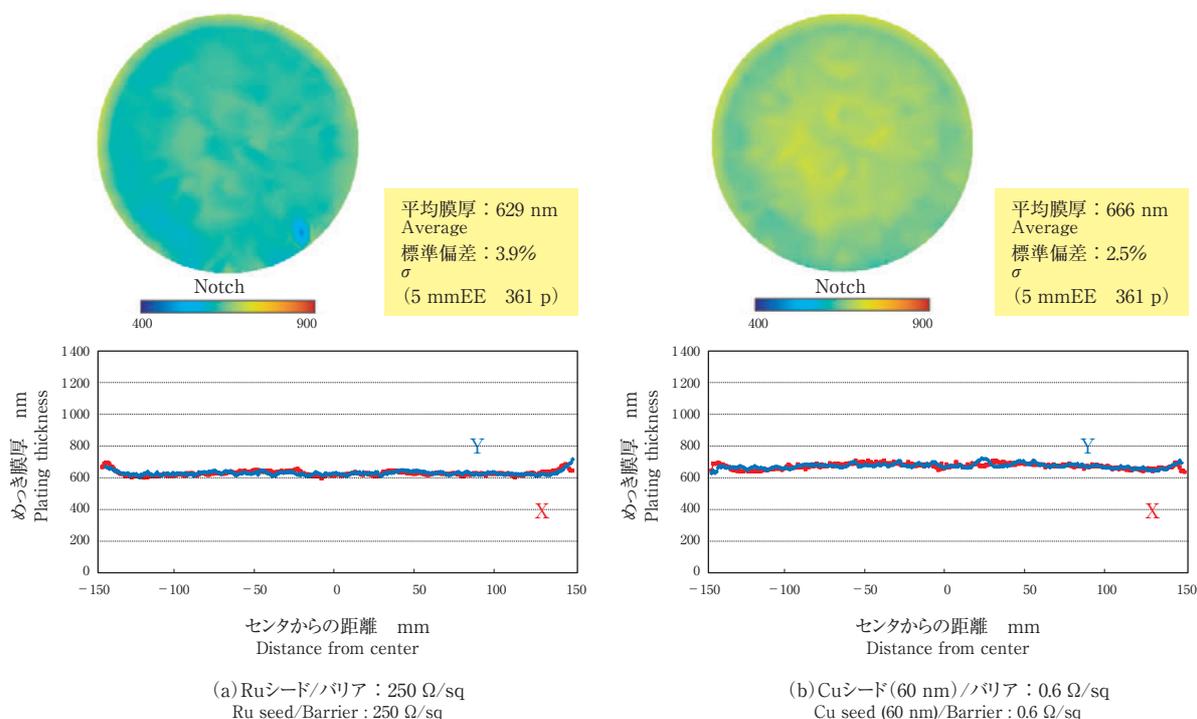


図 16 異なるシート抵抗基板上でのめっき均一性比較 (2) 抵抗率: 700 めっき膜厚: 650 nm  
Fig. 16 Plating uniformities on substrates of different sheet resistances (2) Resisitivity: 700 Plating thickness: 650 nm

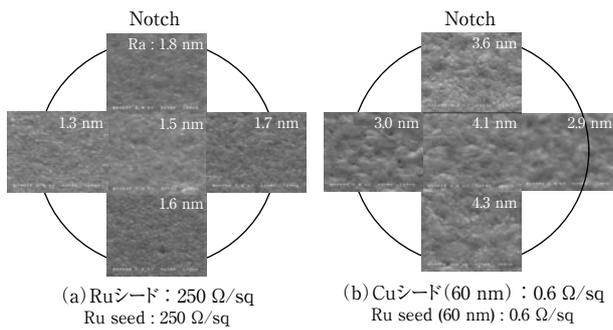


図 17 異なるシート抵抗基板上でのめっき表面状態と粗さ比較 (1)  
抵抗率：700 めっき膜厚：50 nm

Fig. 17 Plating morphologic features and roughnesses on substrates of different sheet resistances (1)  
Resistivity : 700 Plating thickness : 50nm

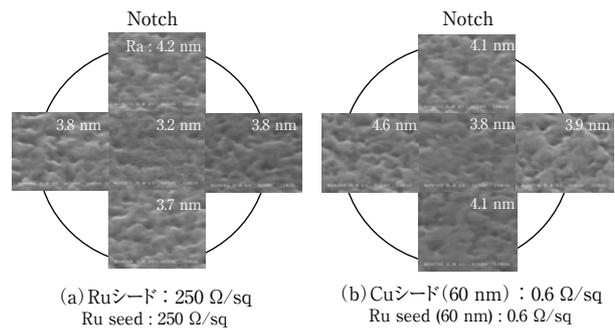


図 18 異なるシート抵抗基板上でのめっき表面状態と粗さ比較 (2)  
抵抗率：700 めっき膜厚：650 nm

Fig. 18 Plating morphologic features and roughnesses on substrates of different sheet resistances (2)  
Resistivity : 700 Plating thickness : 650 nm

らウェーハ全面に連続膜が形成されたことが分かり、またRaは面内で1.3 nm～1.8 nmと均一かつ微細なめっき膜が形成されていた。Cuシード膜上へめっきした場合、SEM観察の結果からウェーハ全面に連続膜が形成されたことが分かり、またRaは面内で3.0 nm～4.3 nmと均一である。めっき膜の表面がCuシード膜上の方がRuシード膜上よりも粗い理由として、Cuの膜厚がシード膜とめっき膜をあわせて110 nm程度あるため核成長が十分に進んだ影響であると考えられる。

### 7-5 650 nmめっきの表面状態

Ruシード膜及びCuシード膜に平均膜厚が650 nmになるようにめっきした場合のSEM観察及び表面粗さRaの結果を図18 (a) (b) に示す。

Ruシード膜上へめっきした場合及びCuシード膜上へめっきした場合においても、SEM観察の結果からウェーハ全面に連続膜が形成されたことが分かり、またRaはRuシード膜上で3.2 nm～4.2 nm, Cuシード膜上で3.8 nm～4.6 nmと均一である。Ruシード膜上の粗さが50 nmめっきの場合と比較して、大きくなった理由は、めっきの厚みが650 nmと厚くなったため核成長が十分に進んだ結果と考えられる。Cuシード膜上の場合がRuシード膜上と比較して、わずかに粗い傾向はCuシードの結晶性等から影響を受けている可能性があると考えている。

### 7-6 埋設性

まず、装置の基本性能を確認するためにCuシード膜を成膜したパターンで埋め込み確認を行った。エッジ及びセンタ部のFIB/SEM写真を図19に示す。溝幅120 nmで深さ500 nmのパターンに対し、Cuシード膜/Taバリア

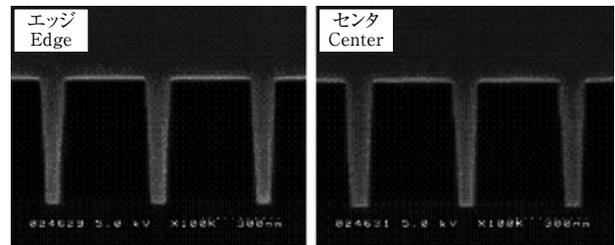


図 19 埋設性の評価結果 (Cuシード膜)  
Fig. 19 Filling results (Cu seed layer)

膜を60 nm/10 nm成膜した300 mm径トレッチパターンウェーハにめっき処理し、埋設性を評価した結果、ボイドなく埋め込めていることが確認できた。

次にRuシード膜を成膜した溝幅20～30 nmでアスペクト比が5程度の300 mm径トレッチパターンウェーハにめっき処理し、埋め込み確認を行った。面内4点 (センタ, ミドル, エッジ×2) をFIB/STEMで評価しボイドなく埋め込めていることを確認している。

## 8. まとめ

今回、22 nmの配線幅で予想される高抵抗シード膜に対して、ターミナルエフェクトを緩和し、ウェーハ面内に均一なめっきを可能にする含浸めっき装置の開発を行った。特に含浸材の抵抗率に着目し開発を行った結果以下のことが分かった。

- ・250 Ω/sqの高抵抗基板上に均一なめっきをするために必要な含浸材の抵抗率は500以上である。
- ・抵抗率700の含浸材を使い250 Ω/sqのRuシード膜上及び0.6 Ω/sqのCuシード膜上へめっき処理を行い比

較したところ、めっき面内均一性、膜質がほぼ同等であり、本装置コンセプトにより0.6～250  $\Omega/\text{sq}$ の幅広いウエーハ仕様に対して対応可能であることが分かった。また、Ruシード膜を成膜した溝幅20～30 nmでアスペクト比が5程度の300 mmパターンウェーハに対し埋め込み性が問題ないことが確認された。今回開発したCuめっき装置が、次世代配線技術に対応可能であることが分かった。

今後、更なるめっき膜厚分布改善のために含浸材の均一性並びに再現性の向上、液流れの改善が必要であると考える。

## 9. 謝 辞

めっき膜厚分布の解析に用いた電場解析ソフトは、東京工業大学大学院情報理工学研究科天谷賢治教授と榎荏原総合研究所が共同開発したものである。ソフト開発で多大なご指導いただいた天谷教授にここに記して感謝の意を表す。

## 参考文献

- 1) 辻村 学, “半導体ウェットプロセス最前線”.
- 2) Masao Hodai, Hiroyuki Kanda, Tsutomu Nakada, Katsuyuki Musaka, Manabu Tsujimura, “Cu plating under high resistance Cu seed increased by scattering effect”, Proc. of Advanced Metallization Conference 2005 (AMC2005), pp.489-494.
- 3) 日本機械学会関東支部第14期総合講演会 講演論文集, [’08-3, 14, 15, 東京], p.387-388.

